

(3) Japanese Patent Application Laid-Open No. 9-288562 (1997)

“Multi-Bit Matching Circuit”

The following is an extract relevant to the present application.

5

This invention provides a multi-bit matching circuit which facilitates timing design by keeping a delay time of an output signal constant regardless of a logic of an input signal and allows a fast operation, and which is able to reduce a layout area and is further able to decrease power consumption.

- 10 An n-bit matching circuit 10 comprises match-comparison parts 100 for each n-bit which inputs a pair of input signals DATA[0:n] and DATA N [0:n] being an object to be match-compared and an input signal ADDR [0:n] being a reference of match-comparison, and which outputs comparison results at an open drain electrode NMOS. The n-bit matching circuit 10 also comprises an output control part 110 which detects a shift of a pair
- 15 of input signals by a pair of signals for one bit among said pair of input signals DATA [0:n] and DATA N [0:n] and which outputs an input shift detection signal at the open drain electrode NMOS. The n-bit matching circuit 10 further comprises an output part 120 which inputs a comparison result for said n-bit and said input shift detection signal and which is activated by the input shift detection signal. The n-bit matching circuit 10 has a
- 20 dynamic circuit configuration wherein said math-comparison parts 100 for n-bit are wired-OR-connected.

(51)Int.Cl.
G06F 7/04

識別記号

FI
G06F 7/04

G

審査請求 未請求 請求項の数9 O L (全19頁)

(21)出願番号 特願平8-102129

(22)出願日 平成8年(1996)4月24日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 黒津 悟

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

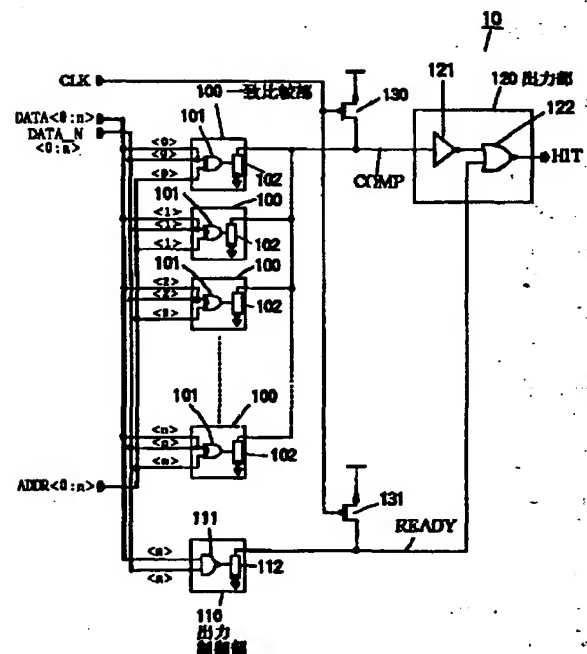
(74)代理人 弁理士 前田 実

(54)【発明の名称】多ビット一致回路

(57)【要約】

【課題】 入力信号の論理に拘らず出力信号の遅延時間を一定に保つことによりタイミング設計を容易にすることができ、高速動作を可能にするとともに、レイアウト面積を小さくでき、さらには消費電力を小さくできる多ビット一致回路を提供する。

【解決手段】 n ビット一致回路10は、被一致比較対象の入力信号対DATA[0:n], DATA N[0:n]と一致比較対象の入力信号ADDR[0:n]を入力し、オープンドレイン電極NMOSで比較結果を出力する各 n ビット分の一致比較部100と、前記入力信号対DATA[0:n], DATA N[0:n]のうち、1ビット分の信号対で入力信号対の遷移を検出しオープンドレイン電極NMOSで入力遷移検出信号を出力する出力制御部110と、前記 n ビット分の比較結果と、前記入力遷移検出信号を入力し、入力遷移検出信号によって活性化される出力部120とを備え、前記 n ビットの一致比較部100をワイヤードオア接続したダイナミック回路構成にする。



第1の実施形態の n 入力ビット一致回路のブロック図

【特許請求の範囲】

【請求項1】 n ビット (n は任意の整数)の被一致比較対象の入力信号と、 n ビットの一致比較対象の入力信号の全ビットについて一致比較を行う多ビット一致回路において、

同期信号によって活性化される被一致比較対象の n ビットの入力信号対と一致比較対象の入力信号を入力して各ビットの比較結果を出力する一致比較部と、

前記被一致比較対象の n ビットの入力信号対のうち、1ビット分の信号対を入力し、該入力信号対の遷移を検出して入力遷移検出信号を出力する出力制御部と、

前記 n ビット分の比較結果を、前記入力遷移検出信号によって活性化させる出力部とを備え、

前記 n ビットの一致比較部の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うように構成したことを特徴とする多ビット一致回路。

【請求項2】 上記請求項1記載の多ビット一致回路において、

前記一致比較部は、2入力排他的論理和回路とその出力を制御信号とするブルダウン素子にオープンドレインN MOSを用いて一致比較結果を出力する構成とし、

前記出力制御部は、2入力NAND回路とその出力を制御信号とするブルダウン素子であるオープンドレインN MOSにより入力遷移検出結果を出力する構成とし、

前記 n ビットの一致比較部の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うことを特徴とする多ビット一致回路。

【請求項3】 前記一致比較部内のブルダウン素子にバイポーラトランジスタを付加して一致比較結果を出力する構成とし、

前記出力制御部のブルダウン素子にバイポーラトランジスタを付加して入力遷移検出信号を出力する構成としたことを特徴とする請求項1又は2の何れかに記載の多ビット一致回路。

【請求項4】 前記出力制御部内の2入力NAND回路を、前記一致比較部内の2入力排他的論理和回路に使用された回路構成と同じレイアウトを用いて、論理回路を構成したことを特徴とする請求項1又は2の何れかに記載の多ビット一致回路。

【請求項5】 前記出力制御部内で用いるブルダウン素子の駆動能力に対応して、前記出力制御部の出力にタイミング調整用の負荷回路を付加したことを特徴とする請求項1、2又は3の何れかに記載の多ビット一致回路。

【請求項6】 前記一致比較部内で用いるブルダウン素子と前記出力制御部内で用いるブルダウン素子を統一し、前記出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子をダミー素子として ($n-1$) 個付加したことを特徴とする請求項1、2又は3の何れかに記載の多ビット一致回路。

【請求項7】 前記出力部からレイアウト的に最も離れ

るように前記一致比較部を配置し、該一致比較部に対して前記出力制御部を隣接して配置し、前記一致比較部に入力される被一致比較信号対を、前記出力制御部に入力するようにレイアウトしたことを特徴とする請求項1、2、3、4、5又は6の何れかに記載の多ビット一致回路。

【請求項8】 前記 n ビットの一致比較部内で用いるブルダウン素子と、前記出力制御部内で用いるブルダウン素子の駆動能力を統一し、前記出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子を使いダミー素子として n 個、又はそれ以上、付加したことを特徴とする請求項1、2、3、4、5、6又は7の何れかに記載の多ビット一致回路。

【請求項9】 上記請求項1又は2の何れかに記載の多ビット一致回路において、

n ビットの被一致比較対象の入力信号と、 n ビットの一致比較対象の入力信号の全ビットについて一致比較を行い、不一致比較結果を出力する多ビット不一致回路であることを特徴とする多ビット一致回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路におけるキャッシュメモリ等を使用される多ビット一致回路に係り、詳細には、 n ビットの入力信号の全ビットについて一致比較を行う多ビット一致回路に関する。

【0002】

【従来の技術】1ビットの2進数 x 、 y が一致しているか否かを調べる回路を一致回路あるいは不一致回路と呼び、その1ビットの2進数 x 、 y を何ビットか集め、多ビット一致回路や多ビット不一致回路を構成する。1ビット一致回路は別名、排他的論理和 (exclusive NOR) ゲート、1ビット不一致回路は別名、否定排他的論理和 (exclusive OR) ゲートとも呼ばれる。

【0003】従来のこの種の多ビット一致回路としては、例えば「CMOS回路の使い方(I)」(工業調査会 1988年1月20日発行 105~109頁)に記載されたものがあつた。

【0004】図24は、一般的な4ビット一致回路を示す回路図である。図24において、この4ビット一致回路は被一致比較対象の4ビットの入力信号DATA

[0:3]と一致比較対象の4ビットの入力信号ADDR [0:3]をそれぞれ入力する4個の2入力排他的論理和回路1~4と、それらの2入力排他的論理和回路1~4による各ビットの比較出力を入力し、一致比較の出力信号OUTの論理を確定する4入力NOR回路5から構成されている。

【0005】上記4ビット一致回路回路は、被一致比較対象の4ビットの入力信号DATA [0:3]と一致比較対象の4ビットの入力信号ADDR [0:3]の各ビットの論理がすべて同じであつた場合に出力信号OUT

に一致していたことを示すハイレベル信号「H」を出力するものである。

【0006】一方、上記被一致比較対象の4ビットの入力信号DATA[0:3]と一致比較対象の4ビットの入力信号ADDR[0:3]のうち、1ビットでも論理が異なる場合、出力信号OUTには不一致ビットがあったことを示すローレベル信号「L」を出力する。

【0007】

【発明が解決しようとする課題】しかしながら、このような従来の多ビット一致回路では、以下(1)～(4) 10のような問題点があった。

【0008】すなわち、(1)一致比較の入力信号数の増加に伴い、出力確定のNOR回路の入力数が増加し、多段接続あるいは論理分割の必要性があるので、出力の論理確定までの遅延時間が増大する。

【0009】(2)被一致比較対象の入力信号の論理確定と一致比較対象の入力信号の論理確定に遅延差がある場合、出力信号にヒゲ状の細いパルス(ハザード)が出力されてしまう。

【0010】(3)一致比較の入力信号数の増加に伴い、出力確定のNOR回路の入力数が増加し、多段接続あるいは論理分割の必要性があるので、レイアウト面積が増大する。 20

【0011】(4)一致比較の入力信号数の増加に伴い、出力確定のNOR回路の入力数が増加し、多段接続あるいは論理分割の必要性があるので、消費電力が増加する。

【0012】本発明は、入力信号の論理に拘らず出力信号の遅延時間を一定に保つことによりタイミング設計を容易にすることができ、高速動作を可能にするとともに、レイアウト面積を小さくでき、さらには消費電力を小さくできる多ビット一致回路を提供することを目的とする。 30

【0013】

【課題を解決するための手段】本発明に係る多ビット一致回路は、nビットの被一致比較対象の入力信号と、nビットの一致比較対象の入力信号の全ビットについて一致比較を行う多ビット一致回路において、同期信号によって活性化される被一致比較対象のnビットの入力信号対と一致比較対象の入力信号を入力して各ビットの比較結果を出力する一致比較部と、被一致比較対象のnビットの入力信号対のうち、1ビット分の信号対を入力し、該入力信号対の遷移を検出して入力遷移検出信号を出力する出力制御部と、nビット分の比較結果を、入力遷移検出信号によって活性化させる出力部とを備え、nビットの一致比較部の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うように構成している。 40

【0014】本発明に係る多ビット一致回路は、一致比較部が、2入力排他的論理和回路とその出力を制御信号 50

とするブルダウン素子にオープンドレインNMOSを用いて一致比較結果を出力する構成とし、出力制御部は、2入力NAND回路とその出力を制御信号とするブルダウン素子であるオープンドレインNMOSにより入力遷移検出結果を出力する構成とし、nビットの一致比較部の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うように構成する。

【0015】また、本発明に係る多ビット一致回路は、一致比較部内のブルダウン素子にバイポーラトランジスタを付加して一致比較結果を出力する構成とし、出力制御部のブルダウン素子にバイポーラトランジスタを付加して入力遷移検出信号を出力する構成としてもよい。

【0016】また、本発明に係る多ビット一致回路は、出力制御部内の2入力NAND回路を、一致比較部内の2入力排他的論理和回路に使用された回路構成と同じレイアウトを用いて、論理回路を構成するものであってもよい。

【0017】また、本発明に係る多ビット一致回路は、出力制御部内で用いるブルダウン素子の駆動能力に対応して、出力制御部の出力にタイミング調整用の負荷回路を付加する構成であってもよい。

【0018】また、本発明に係る多ビット一致回路は、一致比較部内で用いるブルダウン素子と出力制御部内で用いるブルダウン素子を統一し、出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子をダミー素子として(n-1)個付加する構成であってもよい。

【0019】また、本発明に係る多ビット一致回路は、出力部からレイアウト的に最も離れるように一致比較部を配置し、該一致比較部に対して出力制御部を隣接して配置し、一致比較部に入力される被一致比較信号対を、出力制御部に入力するようにレイアウトしてもよい。

【0020】また、本発明に係る多ビット一致回路は、nビットの一致比較部内で用いるブルダウン素子と、出力制御部内で用いるブルダウン素子の駆動能力を統一し、出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子を使いダミー素子としてn個、又はそれ以上、付加する構成であってもよい。

【0021】さらに、多ビット一致回路が、nビットの被一致比較対象の入力信号と、nビットの一致比較対象の入力信号の全ビットについて一致比較を行い、不一致比較結果を出力する多ビット不一致回路であってもよい。

【0022】

【発明の実施の形態】本発明に係る多ビット一致回路は、半導体集積回路におけるキャッシュメモリ等に用いられる多ビット一致回路に適用することができる。

【0023】図1は本発明の第1の実施形態に係る多ビット一致回路の構成を示すブロック図である。図1に示

す多ビット一致回路は、 n 入力ビットの一致回路を用いたヒットコンパレータ回路に適用した例である。

【0024】図1において、 n ビット一致回路10（多ビット一致回路）は、 n 個の一致比較部100、出力制御部110、出力部120及び同期信号CLKにて制御されるプリチャージ素子であるPMOSTランジスタ130、131から構成されるダイナミック型論理回路である。

【0025】上記 n ビット一致回路10は、被一致比較対象の n ビットの入力信号対DATA[0:n]、DATA N[0:n]と一致比較対象の n ビットの入力信号ADDR[0:n]を入力し、 n ビットの一致比較結果である出力信号HITを出力するものである。

【0026】上記 n 個の一致比較部100には、被一致比較対象の n ビットの入力信号対DATA[0:n]、DATA N[0:n]と一致比較対象の n ビットの入力信号ADDR[0:n]とがそれぞれに入力される。なお、詳細な内部構成については図2及び図3で後述する。この n 個の一致比較部100の出力は、すべてワイヤードオア接続され、ワイヤードオア接続された出力はCOMP信号として同期信号CLKによって制御されるプリチャージ素子であるPMOSTランジスタ130と出力部120の1入力に接続される。

【0027】上記出力制御部110には、被一致比較対象の n ビットの入力信号対DATA[0:n]、DATA N[0:n]のうち、1ビットの信号対が入力される。なお、詳細な内部構成については図4及び図5で後述する。この出力制御部110の出力は、READY信号として同期信号CLKによって制御されるプリチャージ素子であるPMOSTランジスタ131と出力部120の1入力に接続される。

【0028】出力部120は、ワイヤードオア接続された n 個の一致比較部100の出力COMPと出力制御部110の出力READYを入力し、 n ビットの一致比較結果を出力信号HITとして出力する。

【0029】ここで、被一致比較対象の n ビットの入力信号対DATA[0:n]とDATA N[0:n]は相補的な論理信号であり、同期信号CLKに同期して活性化されるものとし、それ以外のときは両信号とも初期値に固定されているものとする。本 n ビット一致回路10の場合、同期信号CLKがローレベルの時（プリチャージ時）、前記入力信号対DATA[0:n]とDATA N[0:n]は両信号ともハイレベルにプルアップされていることとする。

【0030】また、一致比較対象の n ビットの入力信号ADDR[0:n]は同期信号CLKがハイレベルになる以前（すなわち、サンプリング時以前）には、すでに論理は確定しているものとする。

【0031】図2及び図3は上記 n 個の一致比較部100の構成を説明するための図であり、図2はその論理回

路図、図3はその具体的な回路構成図である。

【0032】図2において、一致比較部100は、被一致比較対象の入力信号対DATA、DATA Nと一致比較対象の入力信号ADDRとが入力される3入力端子と、一致比較結果である1出力端子OUTを持つ。前記被一致比較対象の入力信号対DATA、DATA Nと一致比較対象の入力信号ADDRは、2入力排他的論理和回路101に入力され、その出力は次段のブルダウン素子102の制御信号となる。上記ブルダウン素子102の一方の端子は出力端子OUTに接続され、他方の端子は接地端子GNDに接続される。

【0033】よって、この一致比較部100の出力端子OUTには、被一致比較対象の入力信号対DATA、DATA Nと一致比較対象の入力信号ADDRとの否定排他的論理和（ $OUT = DATA \cdot ADDR + DATA N \cdot ADDR N$ ）が出力されることになる。

【0034】図3は一致比較部100の具体的な回路構成例を示した図であり、この図において、前記入力信号ADDRは、インバータ素子103に接続されADDR Nを生成する。また、前記入力信号対DATA、DATA Nと入力信号ADDR、ADDR Nはそれぞれ、PMOSTランジスタ105とNMOSTランジスタ108のゲート電極、PMOSTランジスタ107とNMOSTランジスタ10Aのゲート電極、PMOSTランジスタ106とNMOSTランジスタ109のゲート電極、PMOSTランジスタ104とNMOSTランジスタ10Bのゲート電極にそれぞれ接続される。また、PMOSTランジスタ104、106のソース電極は電源端子VDDに接続され、それらの各ドレイン電極はPMOSTランジスタ105、107のソース電極にそれぞれ接続されている。

【0035】上記NMOSTランジスタ109、10Bのソース電極は、接地端子GNDに接続され、それらの各ドレイン電極はNMOSTランジスタ108、10Aのソース電極にそれぞれ接続されている。また、PMOSTランジスタ105、107とNMOSTランジスタ108、10Aのドレイン電極は、ブルダウン素子102であるNMOSTランジスタ10Cのゲート電極に接続され、そのソース電極は接地端子GNDに、ドレイン電極は出力端子OUTに接続され、オープンドレイン構造になっている。

【0036】図4及び図5は上記出力制御部110の構成を説明するための図であり、図4はその論理回路図、図5はその具体的な回路構成図である。

【0037】図4において、出力制御部110は、被一致比較対象の入力信号対DATA、DATA Nの2入力端子と出力制御信号である1出力端子OUTを持つ。前記被一致比較対象の入力信号対DATA、DATA Nは2入力NAND回路111に入力され、その出力は次段のブルダウン素子112の制御信号となる。前記、

ブルダウン素子 1 1 2 の一方の端子は出力端子 O U T に接続され、他方の端子は接地端子 G N D に接続される。

【0038】よって、この出力端子 O U T には、被一致比較対象の入力信号対 DATA, DATA N の論理和 ($O U T = DATA \cdot DATA N$) が出力されることになる。

【0039】図 5 は上記出力制御部 1 1 0 の具体的な回路構成例を示した図であり、この図において、前記入力信号対 DATA, DATA N はそれぞれ、PMOS トランジスタ 1 1 3 と NMOS トランジスタ 1 1 5 のゲート電極、PMOS トランジスタ 1 1 4 と NMOS トランジスタ 1 1 6 のゲート電極にそれぞれ接続される。また、PMOS トランジスタ 1 1 3, 1 1 4 のソース電極は電源端子 V D D に接続される。また、NMOS トランジスタ 1 1 6 のソース電極は接地端子 G N D に接続され、そのドレイン電極は NMOS トランジスタ 1 1 5 のソース電極に接続される。

【0040】また、PMOS トランジスタ 1 1 3, 1 1 4 と NMOS トランジスタ 1 1 5 のドレイン電極は、ブルダウン素子 1 1 2 である NMOS トランジスタ 1 1 7 のゲート電極に接続され、そのソース電極は接地端子 G N D に、ドレイン電極は出力端子 O U T に接続され、オープンドレイン構造になっている。

【0041】一方、上記出力部 1 2 0 は、前記図 1 に示すように、n 個の一致比較部 1 0 0 のワイヤード接続部である内部ノード C O M P がインバータ回路 1 2 1 に接続される。そのインバータ回路 1 2 1 の出力と出力制御部 1 1 0 の出力である内部ノード R E A D Y が 2 N O R 回路 1 2 2 に接続され、n ビットの一致比較結果を出力信号 H I T として出力する。

【0042】このように、第 1 の実施形態に係る n ビット一致回路 1 0 は、同期信号によって活性化される被一致比較対象の n ビットの入力信号対と一致比較対象の入力信号を入力して各ビットの比較結果を出力する一致比較部 1 0 0 と、被一致比較対象の n ビットの入力信号対のうち、1 ビット分の信号対を入力し、該入力信号対の遷移を検出して入力遷移検出信号を出力する出力制御部 1 1 0 と、n ビット分の比較結果を、入力遷移検出信号によって活性化させる出力部 1 2 0 とを備え、一致比較部 1 0 0 は、2 入力排他的論理和回路 1 0 1 とその出力を制御信号とするブルダウン素子 1 0 2 にオープンドレイン NMOS 1 0 C を用いて一致比較結果を出力する構成とし、出力制御部 1 1 0 は、2 入力 N A N D 回路 1 1 1 とその出力を制御信号とするブルダウン素子 1 1 2 であるオープンドレイン NMOS 1 1 7 により入力遷移検出結果を出力する構成とし、n ビットの一致比較部 1 0 0 の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うように構成されている。

【0043】以下、上述のように構成された n ビット一致回路 1 0 の動作を説明する。

【0044】図 6 は、第 1 の実施形態に係る n ビット一致回路 1 0 を採用した具体的な回路適用例を示す図であり、例えば、この回路は、キャッシュメモリ内で使われる n ビットのヒットコンパレータ回路 2 0 0 である。図 1 ~ 図 5 と同一構成部分には同一番号を付している。この図 6 を用いて具体的な回路動作を説明する。

【0045】図 6 において、ヒットコンパレータ回路 2 0 0 は、同期信号 C L K に同期して、メモリセル 2 1 0 のワード線 W L、センスアンプ 2 2 0 の動作を活性化して読み出し動作を開始し、図 6 破線に示す n ビット一致回路 1 0 により n ビットの読み出しデータ対 DATA [0 : n], DATA N [0 : n] (被一致比較対象の信号対) と一致比較対象の n ビットの入力信号 A D D R [0 : n] の各ビットの一致比較を行い、一致結果 H I T を出力するものである。

【0046】このヒットコンパレータ回路 2 0 0 が非活性化状態の時、すなわち同期信号 C L K がローレベルのときは、センスアンプ 2 2 0 の出力、すなわち n ビットの読み出しデータ対 DATA [0 : n], DATA N [0 : n] (被一致比較対象の信号対) は、初期値に固定されており、本ヒットコンパレータ回路 2 0 0 ではハイレベルにプルアップされているものとする。

【0047】また、一致比較対象の入力信号 A D D R [0 : n] は、ヒットコンパレータ回路 2 0 0 が活性化状態になる以前にすでに論理は確定されているものとする。

【0048】図 7 及び図 8 は、前記図 6 に示した n ビット一致回路 1 0 を採用した回路適用例の各ノードの電位の関係を表したタイミングチャートであり、図 7 は n ビットの読み出しデータ対 DATA [0 : n], DATA N [0 : n] (被一致比較対象の信号対) と一致比較対象の n ビット入力信号 A D D R [0 : n] の各ビットがすべて一致していた場合の波形 (ヒット時の波形) を示す波形図、図 8 は 1 ビットでも一致しないものがあつた場合の波形 (ミス時の波形) を示す波形図である。

【0049】まず、図 7 に示すヒット時の波形を参照して第 1 の実施形態に係る n ビット一致回路 1 0 の動作を説明する。

【0050】同期信号 C L K がローレベルの時、プルアップ素子である PMOS トランジスタ 1 3 0, 1 3 1 が導通状態であり、内部ノード C O M P, R E A D Y はハイレベルにプリチャージされている。このとき、センスアンプ 2 2 0 は非活性化状態であるので、n ビットの読み出しデータ対 DATA [0 : n], DATA N [0 : n] はともにプルアップされており、ハイレベルに初期化されている。

【0051】また、同期信号 C L K がハイレベルになる前に、一致比較対象の入力信号 A D D R [0 : n] は、すでに論理が確定されている。このとき、一致比較部 1 0 0 の状態は、前記図 3 に示すように、DATA, DA

10

20

30

40

50

TA Nはともにハイレベルにプルアップ、ADDR、ADDR Nはどちらかがハイレベルとなっているので、NMOSTランジスタ108、109のバス、又はNMOSTランジスタ10A、10Bのバスはどちらかが導通状態になっており、次段のプルダウン素子102であるNMOSTランジスタ10Cのゲート電極には、ローレベルの信号が入力され非導通状態となっている。これは、全ビットの一致比較部100に対して、同様のことがいえるので、図6の内部ノードCOMPはプリチャージ状態が保たれていることになる。

【0052】また、出力制御部110についても同様であり、前記図5に示すように、DATA、DATA Nがともにハイレベルにプルアップされているので、2NAND回路1.11出力はローレベルとなり、次段のプルダウン素子112であるNMOSTランジスタ117は非導通状態となっているので、図5の内部ノードREADYはプリチャージ状態が保たれていることになる。

【0053】以上のことから、同期信号CLKがローレベルの時、内部ノードCOMP、READYがともにハイレベルにプルアップされているので、出力信号HIT

にはローレベルの信号が出力されることになる。

【0054】次に、同期信号CLKがハイレベルになると、プリチャージ素子のPMOSTランジスタ130、131は非導通状態になる。また、この同期信号CLKに同期してメモリセル210のワード線WL、センスアンプ220の動作が活性化され、読み出し動作が開始される。このとき、nビットの読み出しデータ対DATA [0:n]、DATA N [0:n] (被一致比較対象の信号対) はまだハイレベルのままであるが、読み出し動作が完了すると、メモリ保持内容が読み出しデータ

対DATA [0:n]、DATA N [0:n]に出力され、一方がハイレベル、他方がローレベルの相補的な信号対となる。

【0055】このとき、読み出し完了後の相補的な読み出しデータ対DATA [0:n]、DATA N [0:n]と一致比較対象の信号ADDR [0:n]の論理が一致している場合、一致比較部100の状態は前記図3に示すように、ADDRとDATAがともにハイレベル、又はADDRとDATAがともにローレベル (ADDR NとDATA Nがともにハイレベル) の論理状態であるので、NMOSTランジスタ108、109のバス又はNMOSTランジスタ10A、10Bのバスはどちらかが導通状態である。

【0056】よって、次段のプルダウン素子102のNMOSTランジスタ10Cは非導通状態のままである。この動作が、nビット分のすべての一致比較部100で起こった場合、すなわち、nビットがすべて一致していた場合、内部ノードCOMPはハイレベルのまま電位が保たれていることになる。

【0057】また、上記出力制御部110では、図5に

示すように、読み出し動作開始時は、DATA、DATA Nがともにハイレベルのままであったのが、読み出し動作が完了すると同時に、2NAND回路111がハイレベルの信号を出力し、次段のプルダウン素子112であるNMOSTランジスタ117が導通状態となる。これは、図6において、内部ノードREADYのプリチャージ電荷を放電することになり、内部ノードREADYはローレベルにプルダウンされる。このとき、すでにnビットのすべての一致比較部100の一致比較動作が完了して、内部ノードCOMPは全ビットが一致していたことを示すハイレベルの状態が論理が確定されおり、また、内部ノードREADYがハイレベルからローレベルにプルダウンされたこと、すなわち、メモリの読み出し動作が完了したことによって、上記出力部120が活性化され、出力端子HITはローレベルからハイレベルにプルアップされ、nビットがすべて一致していたことを示すハイレベルの出力信号HITを出力する。

【0058】次に、図8に示すミス時の波形を参照して第1の実施形態に係るnビット一致回路10の動作を説明する。

【0059】読み出しデータ対DATA [0:n]、DATA N [0:n] (被一致比較対象の信号対) と一致比較対象の信号ADDR [0:n]の論理に1ビットでも不一致があった場合、一致比較部100の状態は、前記図3の一致比較部100に照らし合わせると、ADDRとDATA N、又はADDR NとDATAが、ともにローレベルの状態であるので、PMOSTランジスタ104、105のバス又はPMOSTランジスタ106、107のバスはどちらかが導通状態になる。よって、次段のプルダウン素子102のNMOSTランジスタ10Cが導通状態となる。

【0060】これは、前記図6の内部ノードCOMPのプリチャージ電荷が放電されることになり、内部ノードCOMPはローレベルにプルダウンされる。この動作がnビットの一致比較部100において、不一致のビットに対してすべて行われる。

【0061】出力制御部110は、ヒット時と同様にメモリの読み出し動作が完了したのと同時に、図6の内部ノードREADYをプルダウンする。

【0062】このとき、nビットのすべての一致比較部100の一致比較動作が完了して、内部ノードCOMPには1ビット以上の不一致があったことを示すローレベルの状態が論理が確定されおり、また、内部ノードREADYがハイレベルからローレベルにプルダウンされたこと、つまり、メモリの読み出し動作が完了したことによって出力部120が活性化され、出力端子HITには内部ノードCOMPのローレベルの信号を出力し、不一致ビット (ミス) があったことを示す。

【0063】以上説明したように、第1の実施形態に係るnビット一致回路10は、被一致比較対象の入力信号

10

20

30

40

50

対DATA[0:n], DATA N[0:n]と一致比較対象の入力信号ADDR[0:n]を入力し、オープンドレイン電極NMOSで比較結果を出力する各nビット分の一致比較部100と、前記入力信号対DATA[0:n], DATA N[0:n]のうち、1ビット分の信号対で入力信号対の遷移を検出しオープンドレイン電極NMOSで入力遷移検出信号を出力する出力制御部110と、前記nビット分の比較結果と、前記入力遷移検出信号を入力し、入力遷移検出信号によって活性化される出力部120とを備え、前記nビットの一致比較部100をワイヤードオア接続したダイナミック回路構成にしているので、従来例のような多段接続あるいは論理分割の必要性がなくなるため、高速動作が可能になり、レイアウト面積を小さくでき、コストを削減することができる。また、被一致比較対象の入力信号対DATA[0:n], DATA N[0:n]の遷移を検出し、その信号によって出力部120を活性化させているので、n入力ビットの入力信号の論理がどのような場合でも、出力信号HITの遅延時間を一定に保つことができ、タイミング設計を容易にすることができる。

【0064】図9は本発明の第2の実施形態に係る多ビット一致回路の構成を示すブロック図である。図9に示す多ビット一致回路も、n入力ビットのヒットコンパレータ回路に適用することができる。なお、本実施形態に係るnビット一致回路10の説明にあたり図1に示すnビット一致回路10と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0065】図9において、nビット一致回路20(多ビット一致回路)は、n個の一致比較部300、出力制御部310、出力部320及び同期信号CLKにて制御されるプリチャージ素子であるPMOSTランジスタ330、331から構成されるダイナミック型論理回路である。

【0066】本実施形態に係るnビット一致回路20は、前記第1の実施形態に係るnビット一致回路10に対して、一致比較部300と出力制御部310の中でそれぞれ使われているプルダウン素子302、312に、Bipoartランジスタを付加してプルダウン駆動能力を向上させた点のみが異なっている。

【0067】図10及び図11は上記n個の一致比較部300の構成を説明するための図であり、図10はその論理回路図、図11はその具体的な回路構成図である。図10に示すように、一致比較部300の論理回路は前記図2に示す一致比較部100と同様である。

【0068】図11において、入力信号対DATA, DATA Nと入力信号ADDRを入力する2入力排他的論理和回路301の出力は、NMOSTランジスタ303のゲート電極に接続される。そのNMOSTランジスタ303のドレイン電極はBipolarトランジスタ

304のコレクタ電極と出力端子OUTに接続され、ソース電極はBipoartランジスタ304のベース電極とベース電荷引き抜き素子305に接続される。ベース電荷引き抜き素子305の他方端子とBipoartランジスタ304のエミッタ電極は接地端子GNDに接続される。

【0069】図12及び図13は上記出力制御部310の構成を説明するための図であり、図12はその論理回路図、図13はその具体的な回路構成図である。

10 【0070】図12に示すように、出力制御部310の論理回路は前記図4に示す出力制御部110と同様である。

【0071】図13は出力制御部310のうちプルダウン素子312を詳細に示した回路図である。

【0072】図13において、上記出力制御部310は、2入力NAND回路311及びプルダウン素子312から構成され、プルダウン素子312はNMOSTランジスタ313、Bipoartランジスタ314及び電荷引き抜き素子315から構成される。

20 【0073】入力信号対DATA, DATA Nを入力する2入力NAND回路311の出力は、NMOSTランジスタ313のゲート電極に接続される。そのNMOSTランジスタ313のドレイン電極は、Bipoartランジスタ314のコレクタ電極と出力端子OUTに接続され、ソース電極はBipoartランジスタ314のベース電極とベース電荷引き抜き素子315とに接続される。ベース電荷引き抜き素子315の他方の端子とBipoartランジスタ314のエミッタ電極は接地端子GNDに接続される。

30 【0074】このように、第2の実施形態に係るnビット一致回路20は、一致比較部300内のプルダウン素子302にBipoartランジスタ304を付加して一致比較結果を出力する構成とし、出力制御部310のプルダウン素子312にBipoartランジスタ314を付加して入力遷移検出信号を出力する構成としている。

【0075】以下、上述のように構成されたnビット一致回路20の動作を説明する。

40 【0076】上記nビット一致回路20の全体の回路動作はヒット時もミス時も、第1の実施形態で説明したnビット一致回路10と同様である。

【0077】同期信号CLKがローレベルのとき、図9に示すように内部ノードCOMP, READYはPMOSTランジスタ330、331によりプリチャージされる。このとき、図11に示す一致比較部300うちの2入力排他的論理和回路301と図13に示す出力制御部310うちの2入力NAND回路311はともにローレベルの電位を出力しているので、次段のNMOSTランジスタ303、313はともに非導通状態である。

50 【0078】このとき、前記NMOSTランジスタ30

3, 313のソース電極、すなわち、Bipoartランジスタ304, 314のベース電位はベース電荷引き抜き素子305, 315によってローレベルにプルダウンされており、Bipoartランジスタ304, 314は非導通状態となっている。よって、同期信号CLKがローレベルの時、プリチャージ状態が保たれている。

【0079】次に、同期信号CLKがハイレベルになり、図11に示す被一致比較対象の入力信号対DATA, DATA Nと一致対象の入力信号ADDRが不一致のとき、2入力排他的論理和回路301はハイレベルの信号を出力し、次段のNMOSTランジスタ303が導通状態となる。これにより、図9に示す内部ノードCOMPに蓄えられていたプリチャージ電荷がNMOSTランジスタ303を介してBipoartランジスタ304のベース電極に流れ込み、Bipoartランジスタ304が導通状態になり、内部ノードCOMPは一気にローレベルにプルダウンされる。

【0080】同様に、同期信号CLKがハイレベルになり、図13に示す被一致比較対象の入力信号対DATA, DATA Nが相補的な信号状態に遷移したとき、2入力NAND回路311はハイレベルの信号を出力し、次段のNMOSTランジスタ313が導通状態となる。これにより、図9に示す内部ノードREADYに蓄えられていたプリチャージ電荷がNMOSTランジスタ313を介してBipoartランジスタ314のベースに流れ込み、Bipoartランジスタ314が導通状態になり、内部ノードREADYは一気にローレベルにプルダウンされる。

【0081】以上のように、第2の実施形態によれば、n入力の一致比較部300及び出力制御部310のプルダウン素子302, 312にBipoartランジスタ304, 314を付加しているの、Bipoartランジスタの高駆動能力により、さらなる高速動作が可能になる。また、一致比較の入力信号数の増加による、ワイヤードオア接続部（一致比較部出力）の寄生容量の増加に対し、遅延時間の負荷依存性を小さくすることができる。

【0082】図14は本発明の第3の実施形態に係る多ビット一致回路の構成を示すブロック図である。図14に示す多ビット一致回路も、n入力ビットのヒットコンパレータ回路に適用することができる。なお、前記図1に示すnビット一致回路10と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0083】図14において、nビット一致回路30（多ビット一致回路）は、n個の一致比較部400、出力制御部410、出力部420及び同期信号CLKにて制御されるプリチャージ素子であるPMOSTランジスタ430, 431から構成されるダイナミック型論理回路である。

【0084】本実施形態に係るnビット一致回路30

は、前記第1の実施形態に係るnビット一致回路10に対して、出力制御部410の中で使用されている2入力NAND回路411のトランジスタレベルでの回路を、一致比較部400の中で使われている2入力排他的論理和回路401の回路構成回路ディメンジョン（レイアウト）を使い、論理（2NAND）を実現させたものである。

【0085】図15及び図16は上記n個の一致比較部400の構成を説明するための図であり、図15はその論理回路図、図16はその具体的な回路構成図である。図15及び図16に示すように、一致比較部400の論理回路は前記図2及び図3に示す一致比較部100と全く同じ回路構成であり、この部分の説明を省略する。

【0086】図17及び図18は上記出力制御部410の構成を説明するための図であり、図17はその論理回路図、図18はその具体的な回路構成図である。

【0087】図17に示すように、出力制御部410の論理回路は前記図4に示す出力制御部110と同様である。

【0088】図18は出力制御部410の2入力NAND回路411を詳細に示した回路図である。

【0089】図18において、出力制御部410は、被一致比較対象の入力信号対DATA, DATA Nの2入力端子と出力制御信号である1出力端子OUTを持つ。前記被一致比較対象の入力信号対DATA, DATA Nは2入力NAND回路411に入力され、その出力は次段のプルダウン素子412の制御信号となる。前記、プルダウン素子412の一端子は出力端子OUTに接続され、他方の端子は接地端子GNDに接続される。

【0090】上記2入力NAND回路411は、図16に示す一致比較部400の2入力排他的論理和回路401のトランジスタレベルでの回路構成、回路ディメンジョンをそのまま使い、2NANDの論理を実現している。

【0091】入力信号対DATA, DATA Nは、2入力NAND回路411内のPMOSTランジスタ413, 414とNMOSTランジスタ417, 419、PMOSTランジスタ415, 416とNMOSTランジスタ418, 41A、の各ゲート電極にそれぞれ入力される。PMOSTランジスタ413, 415のソース電極は電源端子VDDに接続され、ドレイン電極はPMOSTランジスタ414, 416のソース電極にそれぞれ接続される。また、NMOSTランジスタ418, 41Aのソース電極は接地端子GNDに接続され、それらのドレイン電極はNMOSTランジスタ417, 419のソース電極に接続される。PMOSTランジスタ414, 416のドレイン電極とNMOSTランジスタ417, 419のドレイン電極は次段のプルダウン素子412の制御信号として使用される。

【0092】このように、第3の実施形態に係るnビッ

ト一致回路 3 0 は、出力制御部 4 1 0 内の 2 入力 NAND 回路 4 1 1 を、一致比較部 4 0 0 内の 2 入力排他的論理和回路 4 0 1 に使用された回路構成と同じレイアウトを用いて、2 NAND 論理回路を構成している。

【0093】以下、上述のように構成された n ビット一致回路 3 0 の動作を説明する。

【0094】上記 n ビット一致回路 3 0 の全体の回路動作はヒット時もミス時も、第 1 の実施形態で説明した n ビット一致回路 1 0 と同様である。

【0095】同期信号 CLK がハイレベルになり、図 1 8 に示す被一致比較対象の入力信号対 DATA, DATA N が相補的な信号状態に遷移したとき、出力制御部 4 1 0 の 2 入力 NAND 回路 4 1 1 は、PMOSTランジスタ 4 1 3, 4 1 4 のパス又は PMOSTランジスタ 4 1 5, 4 1 6 のパスが導通状態になることにより、ハイレベルの信号を出力する。この入力信号対 DATA, DATA N の信号遷移から 2 入力 NAND 回路 4 1 1 出力までの遅延時間は、一致比較部 4 0 0 での 2 入力排他的論理和回路 4 0 1 の遅延時間とほぼ等しい。これは、一致比較部 4 0 0 と出力制御部 4 1 0 内のブルダウ 20 ン素子 4 0 2, 4 1 2 の活性化のタイミングが等しくなることを示す。

【0096】以上のように、第 3 の実施形態によれば、出力制御部 4 1 0 内の 2 入力 NAND 回路 4 1 1 を一致比較部 4 0 0 内の 2 入力排他的論理和回路 4 0 1 の回路構成（レイアウト）を使い、論理（2 NAND）を実現しているので、一致比較部 4 0 0 内のブルダウ素子 4 0 2 と、出力制御部 4 1 0 内のブルダウ素子 4 1 2 の活性化タイミング差をなくすことにより、ミス時の内部ノード COMP, READY のブルダウタイミングが 30 等しくなり、出力端子にヒゲ（ハザート）が出力されなくなる効果がある。

【0097】また、レイアウト差による寄生素子（容量、抵抗）の影響を考慮する必要がないのでタイミング設計を容易化することができ、レイアウト設計を容易化することができ開発期間を短縮することができる。

【0098】図 1 9 は本発明の第 4 の実施形態に係る多ビット一致回路の構成を示すブロック図である。図 1 9 に示す多ビット一致回路も、n 入力ビットのヒットコンパレータ回路に適用することができる。なお、前記図 1 40 に示す n ビット一致回路 1 0 と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0099】図 1 9 において、n ビット一致回路 4 0（多ビット一致回路）は、n 個の一致比較部 5 0 0、出力制御部 5 1 0、出力部 5 2 0 及び同期信号 CLK にて制御されるプリチャージ素子である PMOSTランジスタ 5 3 0, 5 3 1、及び負荷回路 5 4 0 から構成されるダイナミック型論理回路である。

【0100】本実施形態に係る n ビット一致回路 4 0 は、前記第 1 の実施形態に係る n ビット一致回路 1 0 に 50

対して、タイミング調整用の負荷回路 5 4 0 を内部ノード READY に付加したものである。

【0101】上記負荷回路 5 4 0 は、出力制御部 5 1 0 内のブルダウ素子 5 1 2 で内部ノード READY をディスチャージする遅延時間を、1 ビット分の一致比較部 5 0 0 内のブルダウ素子 5 0 2 で内部ノード COMP をディスチャージ（n ビット中、1 ビットのみが不一致するワーストケース）する遅延時間と、等しくする、又はそれより大きくするために付加したものであり、例えば、ゲート電極ソース電極を接地端子に接続し、ドレイン電極を内部ノード READY に接続したダミーの NMOSTランジスタ 5 4 1 により構成する。

【0102】この負荷回路 5 4 0 は、内部ノード READY の出力制御部 5 1 0 内のブルダウ素子 5 1 2 のブルダウ駆動能力から決定される遅延時間を負荷回路 5 4 0 によりタイミング調整し、内部ノード COMP に寄生する全寄生容量（ワイヤードア接続による一致比較部 5 0 0 うちの n 個のブルダウ素子 5 0 2 の接合容量とその配線容量の総和）に対し 1 ビット分のブルダウ素子 5 0 2 のブルダウ駆動能力により決定される遅延時間と等しく、又はそれより大きくするものである。

【0103】この負荷回路 5 4 0 は、例えば、ゲート電極ソース電極を接地端子に接続し、ドレイン電極を内部ノード READY に接続したダミーの NMOSTランジスタ 5 4 1 を使い、そのディメンジョンを調整したものである。

【0104】このように、第 4 の実施形態に係る n ビット一致回路 4 0 は、出力制御部 5 1 0 内で用いるブルダウ素子 5 1 2 の駆動能力に対応して、出力制御部 5 1 0 の出力にタイミング調整用の負荷回路 5 4 0 を付加するように構成している。

【0105】以下、上述のように構成された n ビット一致回路 4 0 の動作を説明する。

【0106】上記 n ビット一致回路 4 0 の全体の回路動作はヒット時もミス時も、第 1 の実施形態で説明した n ビット一致回路 1 0 と同様であるが、第 4 の実施形態はミス時に出力端子 HIT にハザードが出力されないようにしたものである。

【0107】図 2 0 は、ミス時の出力端子 HIT にヒゲ（ハザード）が出力されてしまう場合を示した波形図である。

【0108】図 2 0 に示すように、同期信号 CLK がハイレベルになり、一致比較動作が開始され、例えば n 入力ビットのうち 1 ビットのみが不一致であった場合、その不一致ビットの一致比較部 5 0 0 内のブルダウ素子 5 0 2 一つで、内部ノード COMP に接続される全寄生容量（n ビット分のブルダウ素子 5 0 2 の接合容量及び配線容量）をディスチャージしなければならない。

【0109】これに対し、出力制御部 5 1 0 のブルダウ素子 5 1 2 は、それ自身の接合容量と配線容量のみの

ディスチャージでよく、内部ノードCOMPとREADYはその寄生容量差あるいはブルダウン素子502, 512の駆動能力差によってブルダウンのタイミング差が生じてしまう。

【0110】これらのことを考慮に入れて図20を参照すると、被一致比較対象の入力信号対DATA[0:n], DATA N[0:n]が相補的な信号対に遷移してから、出力制御部510の出力である内部ノードREADYは、直ちにローレベルにブルダウンするが、一致比較部500の出力であるワイヤードオア接続された内部ノードCOMPは前述したように、n個分のブルダウン素子502の全接合容量及びその配線容量をディスチャージしなければならず、ブルダウン動作に時間がかかり、内部ノードCOMPの立ち下がりとは遅延差が生じてしまう。

【0111】これは、内部ノードREADYはローレベルに論理が確定し出力部520を活性化させても、内部ノードCOMPはまだプリチャージされたままの状態（ヒット時の状態）でまだ論理が確定されておらず、その遅延差分だけ、出力端子HITには、ミスにもかかわらずハイレベルの信号（ヒットの信号）を出力してしまうことになる。

【0112】第4の実施形態では、その内部ノードREADYに負荷回路540を付加して、READYの寄生容量を調整したことでその立ち下がり遅延時間が増加し、内部ノードCOMPの立ち下がり遅延時間と等しく、又はそれより大きくしたことにより、ミス時の出力端子HITにヒゲ（ハザード）が出力されないようにしたものである。

【0113】以上のように、第4の実施形態によれば、出力制御部510うちのブルダウン素子512の駆動能力に対応させて、内部ノードREADYにタイミング調整用の負荷回路540を付加したことにより、内部ノードREADYの立ち下がり遅延時間が内部ノードCOMPの立ち下がり遅延時間と等しく、又はそれより大きくなるので、不一致ビット数とは無関係に、出力端子HITにハザードが出力されなくなり信頼性のある出力信号を獲得することができる。また、ミス時に出力端子HITにハザードが出力されないことにより、次段の回路が誤動作しないようになるとともに、次段の回路の消費電力を削減することができる。

【0114】図21は本発明の第5の実施形態に係る多ビット一致回路の構成を示すブロック図である。なお、前記図19に示すnビット一致回路40と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0115】図21において、nビット一致回路50（多ビット一致回路）は、n個の一致比較部600、出力制御部610、出力部620及び同期信号CLKにて制御されるプリチャージ素子であるPMOSTランジスタ630, 631、及び負荷回路640から構成される

ダイナミック型論理回路である。

【0116】本実施形態に係るnビット一致回路50は、前記第4の実施形態に係るnビット一致回路40に対して、一致比較部600、出力制御部610の中で使用されているブルダウン素子641をすべて同一のブルダウン素子に統一してブルダウン駆動能力を等しくし、また、負荷回路640はそのブルダウン素子641をダミー素子として(n-1)個接続し、内部ノードCOMPとREADYの寄生接合容量を全く等しくしたものである。

【0117】上記一致比較部600、出力制御部610の中で使われているブルダウン素子641は、例えば、前記第1の実施形態又は第2の実施形態で示したもので全て統一してある。

【0118】上記負荷回路640は、前述した一致比較部600、出力制御部610の中で使われているブルダウン素子641を用いて、制御信号をローレベルに固定したブルダウン素子641をタイミング調整用のダミー素子として使用する。この負荷回路640内のダミー素子641は、内部ノードREADYの接合容量が内部ノードCOMPと等しくなるように(n-1)個接続する。

【0119】このように、第5の実施形態に係るnビット一致回路50は、一致比較部600内で用いるブルダウン素子と出力制御部610内で用いるブルダウン素子をブルダウン素子641に統一し、出力制御部610の出力に、タイミング調整用の負荷回路640として、統一されたブルダウン素子641をダミー素子として(n-1)個付加するように構成している。

【0120】以下、上述のように構成されたnビット一致回路50の動作を説明する。

【0121】上記nビット一致回路50の全体の回路動作はヒット時もミス時も、前記第4の実施形態で説明したnビット一致回路40と同様であり、第5の実施形態もミス時に出力端子HITにハザードが出力されないようにしたものである。

【0122】第5の実施形態では、一致比較部600と出力制御部610内のブルダウン素子641を同一なものに統一したことにより、ブルダウン駆動能力が統一され、なおかつ、内部ノードREADYには内部ノードCOMPの寄生接合容量と等価になるダミー素子641が(n-1)個接続されたことにより、両内部ノードの寄生接合容量が等しくなり、両ノードの遅延時間差が無くなる。

【0123】同期信号CLKがハイレベルになり、一致比較動作が開始され、例えばn入力ビットのうち1ビットのみが不一致であった場合、その不一致ビットの一致比較部600内のブルダウン素子641一つで、内部ノードCOMPに接続される全接合容量(nビット分のブルダウン素子641の接合容量)をディスチャージす

る。同様に、出力制御部610のブルダウン素子641は、負荷回路640内の $(n-1)$ 個のダミー素子641が接続されたことにより、内部ノードCOMPと等価の寄生容量 (n) ビット分のブルダウン素子641の接合容量をディスチャージすることになる。

【0124】一致比較部600と出力制御部610内のブルダウン素子641は同じものに統一されたので、その駆動能力が統一され、なおかつ、内部ノードCOMP、READYの寄生接合容量が統一されたことにより、全く同タイミングで両ノードはディスチャージされることになる。これにより、ミス時の場合、出力端子HITにはハザードが出力されない。

【0125】以上のように、第5の実施形態によれば、一致比較部600、出力制御部610内で使われるブルダウン素子641を統一して駆動能力を等しくし、なおかつ、内部ノードREADYに負荷回路640を接続し、その負荷回路640もその前述したブルダウン素子641を使いダミー素子として $(n-1)$ 個接続しているので、内部ノードCOMPとREADYの寄生接合容量が全く等しくすることができ、これにより、ブルダウン素子のプロセス変動に左右されないタイミング設計が可能となる。

【0126】図22は本発明の第6の実施形態に係る多ビット一致回路の構成を示すブロック図である。なお、前記図19に示す n ビット一致回路40と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0127】図22において、 n ビット一致回路60（多ビット一致回路）は、 n 個の一致比較部700、出力制御部710、出力部720及び同期信号CLKにて制御されるプリチャージ素子であるPMOSトランジスタ730、731、及び負荷回路740から構成されるダイナミック型論理回路である。

【0128】上記 n ビット一致回路60は、前記第4の実施形態に係る n ビット一致回路40に対して、出力制御部710を出力部720からレイアウト的に一番離れている一致比較部700に隣接させ配置し、その一致比較部700に入力される入力信号対（DATA[0:n]、DATA N[0:n]の中の1ビットの信号対）を出力制御部710に入力するようにしたものである。

【0129】図22の場合、DATA[0]、DATA N[0]を入力する一致比較部700がレイアウト的に出力部720から一番離れているものとし、この一致比較部700に隣接して出力制御部710を配置し、前記DATA[0]、DATAN[0]を出力制御部710に入力するように構成する。これにより、出力制御部710から出力部720までの内部ノードREADYのレイアウト配線長が、一致比較部700から出力部720までの内部ノードCOMPの最長の配線長と等しくなる。

【0130】このように、第6の実施形態に係る n ビット一致回路60は、出力部720からレイアウト的に最も離れている一致比較部700に対して出力制御部710を隣接して配置し、一致比較部700に入力される被一致比較信号対を、出力制御部710に入力するようにレイアウトしている。以下、上述のように構成された n ビット一致回路60の動作を説明する。

【0131】上記 n ビット一致回路60の全体の回路動作は、ヒット時もミス時も、前記第4の実施形態で説明した n ビット一致回路40と同様であり、ミス時に出力端子HITにハザードが出力されないようにしたものである。

【0132】特に、この第6の実施形態に係る n ビット一致回路60は、出力制御部710から出力部720までの内部ノードREADYのレイアウト配線長を、一致比較部700から出力部720までの内部ノードCOMPの最も長い配線長と等しくしたので、両ノードの寄生の配線容量及び配線抵抗を等しくすることができ、両ノードの遅延時間差がなくなる。

【0133】以上のように、第6の実施形態によれば、出力制御部710を出力部720からレイアウト的に一番離れている一致比較部700に隣接させ配置し、その一致比較部700に入力される入力信号対（DATA[0:n]、DATA N[0:n]の中の1ビットの信号対）を出力制御部710に入力するように構成しているので、内部ノードCOMPと内部ノードREADYの寄生の配線容量及び配線抵抗が等しくなり、一致比較の入力数増加に対し、一致比較部700のワイヤードオフ接続部の配線が長くなって寄生の配線容量及び配線抵抗が増加しても、それとは無関係に出力端子HITにハザードが出力されないタイミング設計を行うことができる。

【0134】図23は本発明の第7の実施形態に係る多ビット一致回路の構成を示すブロック図である。なお、前記図19に示す n ビット一致回路40と同一構成部分には同一符号を付して重複部分の説明を省略する。

【0135】図23において、 n ビット一致回路70（多ビット一致回路）は、 n 個の一致比較部800、出力制御部810、出力部820及び同期信号CLKにて制御されるプリチャージ素子であるPMOSトランジスタ830、831、及び負荷回路840から構成されるダイナミック型論理回路である。

【0136】上記 n ビット一致回路70は、前記第5の実施形態に係る n ビット一致回路50に対して、一致比較部800、出力制御部810の中で使われているブルダウン素子841をすべて同一のブルダウン素子に統一し、また、負荷回路840はそのブルダウン素子841をダミー素子として n 個、又はそれ以上接続し、内部ノードREADYの寄生接合容量を内部ノードCOMPのそれより大きくしたものである。

21

【0137】このように、第7の実施形態に係るnビット一致回路70は、nビットの一致比較部800内で用いるブルダウン素子841と、出力制御部810内で用いるブルダウン素子841の駆動能力を統一し、出力制御部810の出力に、タイミング調整用の負荷回路840として、統一されたブルダウン素子841を使いダミー素子としてn個、又はそれ以上、付加するように構成している。

【0138】以下、上述のように構成されたnビット一致回路70の動作を説明する。

【0139】上記nビット一致回路70の全体の回路動作は、ヒット時もミス時も、前記第5の実施形態で説明したことと同様であり、ミス時に出力端子HITにハザードが出力されないようにしたものである。

【0140】この第7の実施形態に係るnビット一致回路70は、第5の実施形態に係るnビット一致回路50に対し、内部ノードREADYの寄生接合容量を内部ノードCOMPに対して大きくすることにより、内部ノードREADYの立ち下がり遅延時間が内部ノードCOMPのそれより、大きく設定することができる。これは、出力部820の活性化タイミングが、負荷回路840でさらに追加したダミー素子841の寄生接合容量のディスチャージ分だけ遅れ、ミス時のときの出力端子HITに確実にハザードが出力されないことになる。

【0141】以上のように、第7の実施形態によれば、一致比較部800、出力制御部810内で使われるブルダウン素子841を統一し、なおかつ、内部ノードREADYに負荷回路840を接続し、さらにその負荷回路840もその前述したブルダウン素子841を使いダミー素子としてn個、又はそれ以上接続するようにしているので、内部ノードREADYの寄生接合容量を内部ノードCOMPに対して大きく設定することができ、ミス時のときの出力端子HITに確実にハザードを出力させないようにすることができ、タイミング設計のマージンを向上させることができる。

【0142】なお、上記各実施形態に係るnビット一致回路では、半導体集積回路におけるキャッシュメモリ等に用いられるnビット一致回路に適用することができるが、nビットの入力信号の全ビットについて一致比較を行う多ビット一致回路であれば、どのような集積回路装置（例えば、ヒットコンパレータ回路）に用いてもよく、あるいは集積回路装置内部に組み込まれて使用される回路にも適用できることは言うまでもない。

【0143】また、上記各実施形態に係るnビット一致回路は、nビットの被一致比較対象の入力信号と、nビットの一致比較対象の入力信号の全ビットについて一致比較を行うものであれば、そのビット数は何ビットでもよく、また、不一致比較結果を出力する多ビット不一致回路であってもよいことは勿論である。

【0144】さらに、上記各実施形態に係るnビット一

22

致回路、一致比較部、出力制御部、出力部等を構成する回路、それら回路内のMOSトランジスタ、バイポーラトランジスタ、ゲート回路、ブルダウン素子などの個数、種類、接続状態等は上記各実施形態に限定されない。

【0145】

【発明の効果】本発明に係る多ビット一致回路では、同期信号によって活性化される被一致比較対象のnビットの入力信号対と一致比較対象の入力信号を入力して各ビットの比較結果を出力する一致比較部と、被一致比較対象のnビットの入力信号対のうち、1ビット分の信号対を入力し、該入力信号対の遷移を検出して入力遷移検出信号を出力する出力制御部と、nビット分の比較結果を、入力遷移検出信号によって活性化させる出力部とを備え、一致比較部が、2入力排他的論理和回路とその出力を制御信号とするブルダウン素子にオーブンドレインNMOSを用いて一致比較結果を出力する構成とし、出力制御部は、2入力NAND回路とその出力を制御信号とするブルダウン素子であるオーブンドレインNMOSにより入力遷移検出結果を出力する構成とし、nビットの一致比較部の出力をワイヤードオア接続させ、同期信号に同期してダイナミック動作を行うように構成しているので、高速動作が可能になり、レイアウト面積を小さくでき、コストを削減することができるとともに、消費電力を小さくすることができる。さらに、n入力ビットの入力信号の論理がどのような場合でも、出力信号HITの遅延時間を一定に保つことができ、タイミング設計を容易にすることができる。

【0146】また、本発明に係る多ビット一致回路では、一致比較部内のブルダウン素子にバイポーラトランジスタを付加して一致比較結果を出力する構成とし、出力制御部のブルダウン素子にバイポーラトランジスタを付加して入力遷移検出信号を出力するように構成しているので、駆動能力を高めて、さらなる高速動作が可能になる。また、一致比較の入力信号数の増加による、ワイヤードオア接続部（一致比較部出力）の寄生容量の増加に対し、遅延時間の負荷依存性を小さくすることができる。

【0147】また、本発明に係る多ビット一致回路では、出力制御部内の2入力NAND回路を、一致比較部内の2入力排他的論理和回路に使用された回路構成と同じレイアウトを用いて、論理回路を構成しているので、一致比較部内のブルダウン素子と、出力制御部内のブルダウン素子の活性化タイミング差をなくすことができ、ミス時の内部ノードCOMP、READYのブルダウンタイミングが等しくなり、出力端子にヒゲ（ハザート）が出力されなくなる効果がある。

【0148】また、本発明に係る多ビット一致回路では、出力制御部内で用いるブルダウン素子の駆動能力に対応して、出力制御部の出力にタイミング調整用の負荷

10

20

30

40

50

回路を付加するように構成しているので、不一致ビット数とは無関係に、出力端子H I Tにハザードが出力されなくなり信頼性のある出力信号を獲得することができる。また、ミス時に出力端子H I Tにハザードが出力されないことにより、次段の回路が誤動作しないようになるとともに、次段の回路の消費電力を削減することができる。

【0149】また、本発明に係る多ビット一致回路では、一致比較部内で用いるブルダウン素子と出力制御部内で用いるブルダウン素子を統一し、出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子をダミー素子として($n-1$)個付加するように構成しているので、内部ノードCOMPとREADYの寄生接合容量が全く等しくすることができ、これにより、ブルダウン素子のプロセス変動に左右されないタイミング設計が可能となる。

【0150】また、本発明に係る多ビット一致回路では、出力部からレイアウト的に最も離れている一致比較部に対して出力制御部を隣接して配置し、該一致比較部に入力される被一致比較信号対を、出力制御部に入力するようにレイアウトしているため、内部ノードCOMPと内部ノードREADYの寄生の配線容量及び配線抵抗が等しくすることができ、一致比較の入力数増加に対し、一致比較部のワイヤードオア接続部の配線が長くなって寄生の配線容量及び配線抵抗が増加しても、それとは無関係に出力端子H I Tにハザードが出力されないタイミング設計を行うことができる。

【0151】また、本発明に係る多ビット一致回路では、 n ビットの一致比較部内で用いるブルダウン素子と、出力制御部内で用いるブルダウン素子の駆動能力を統一し、出力制御部の出力に、タイミング調整用の負荷回路として、該統一されたブルダウン素子を使いダミー素子として n 個、又はそれ以上、付加するように構成しているので、内部ノードREADYの寄生接合容量を内部ノードCOMPに対して大きく設定することができ、ミス時のときの出力端子H I Tに確実にハザードを出力させないようにすることができ、タイミング設計のマージンを向上させることができる。

【図面の簡単な説明】

【図1】本発明を適用した第1の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図2】上記多ビット一致回路の一致比較部の論理回路図である。

【図3】上記多ビット一致回路の一致比較部の構成を示す回路図である。

【図4】上記多ビット一致回路の出力制御部の論理回路図である。

【図5】上記多ビット一致回路の出力制御部の構成を示す回路図である。

【図6】上記多ビット一致回路の動作を具体的に説明す

るためのブロック図である。

【図7】上記多ビット一致回路のヒット時の各ノード電位を示す波形図である。

【図8】上記多ビット一致回路のミス時の各ノード電位を示す波形図である。

【図9】本発明を適用した第2の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図10】上記多ビット一致回路の一致比較部の論理回路図である。

【図11】上記多ビット一致回路の一致比較部の構成を示す回路図である。

【図12】上記多ビット一致回路の出力制御部の論理回路図である。

【図13】上記多ビット一致回路の出力制御部の構成を示す回路図である。

【図14】本発明を適用した第3の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図15】上記多ビット一致回路の一致比較部の論理回路図である。

【図16】上記多ビット一致回路の一致比較部の構成を示す回路図である。

【図17】上記多ビット一致回路の出力制御部の論理回路図である。

【図18】上記多ビット一致回路の出力制御部の構成を示す回路図である。

【図19】本発明を適用した第4の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図20】上記多ビット一致回路のミス時のH I T信号のヒゲを示す波形図である。

【図21】本発明を適用した第5の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図22】本発明を適用した第6の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図23】本発明を適用した第7の実施形態に係る多ビット一致回路の構成を示すブロック図である。

【図24】従来の多ビット一致回路の構成を示すブロック図である。

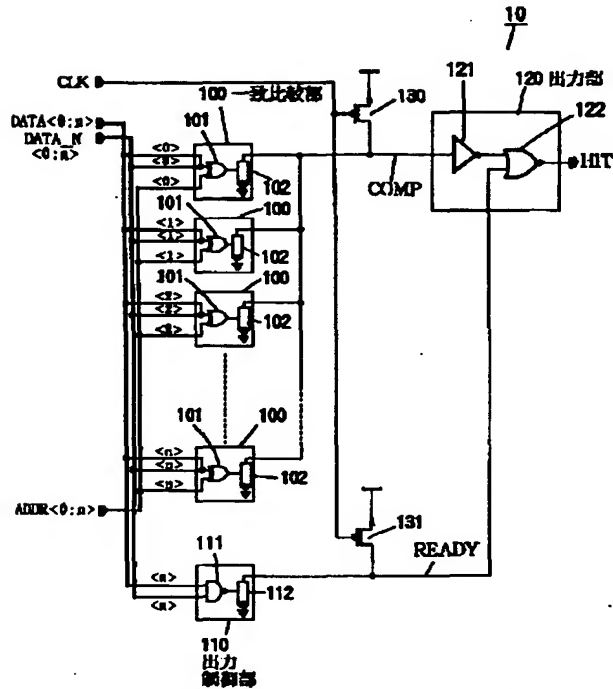
【符号の説明】

10, 20, 30, 40, 50, 60, 70 n ビット一致回路(多ビット一致回路)、100, 300, 400, 500, 600, 700, 800 n 個の一致比較部、101, 301, 401, 501, 601, 701, 801 2入力排他的論理和回路、102, 112, 312, 412 ブルダウン素子、103 インバータ素子、110, 310, 410, 510, 610, 710, 810 出力制御部、111, 311, 411, 511, 611, 711, 811 2入力NAND回路、120, 320, 420, 520, 620, 720, 820 出力部、121, 321, 421, 521, 621, 721, 821 インバータ回路、12

25

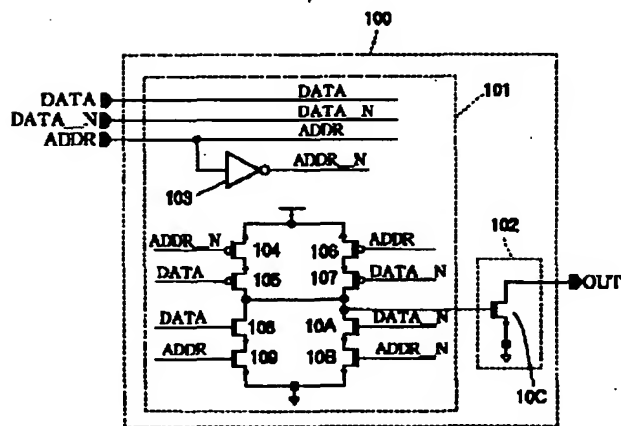
2, 322, 422, 522, 622, 722, 822
2NOR回路、130, 131, 330, 331, 4
30, 431, 530, 531, 630, 631, 73

【図1】



第1の実施形態のn入力ビット一致回路
のブロック図

【図3】

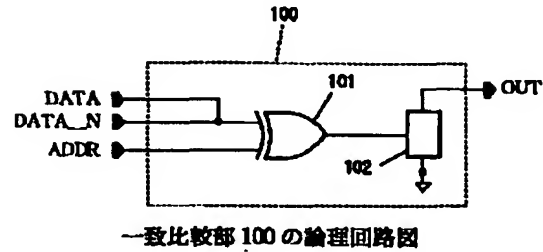


一致比較部 100 の回路構成例

26

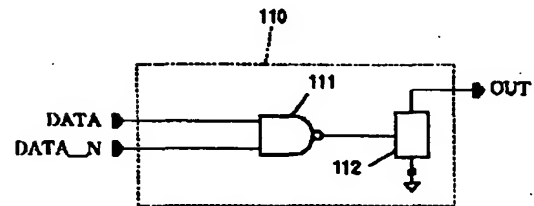
0, 731, 830, 831 プリチャージ素子である
PMOSトランジスタ、540, 640, 740, 84
0 負荷回路

【図2】



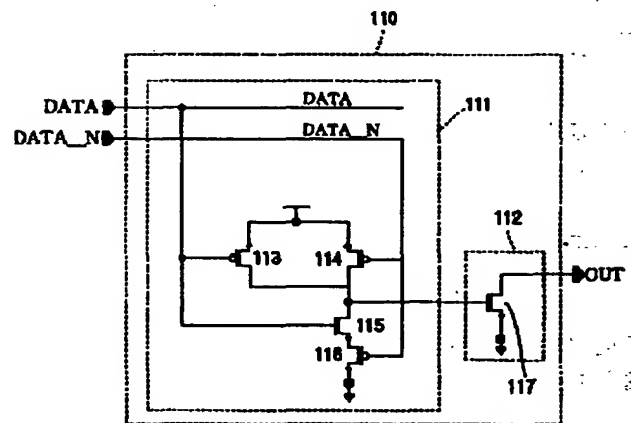
一致比較部 100 の論理回路図

【図4】



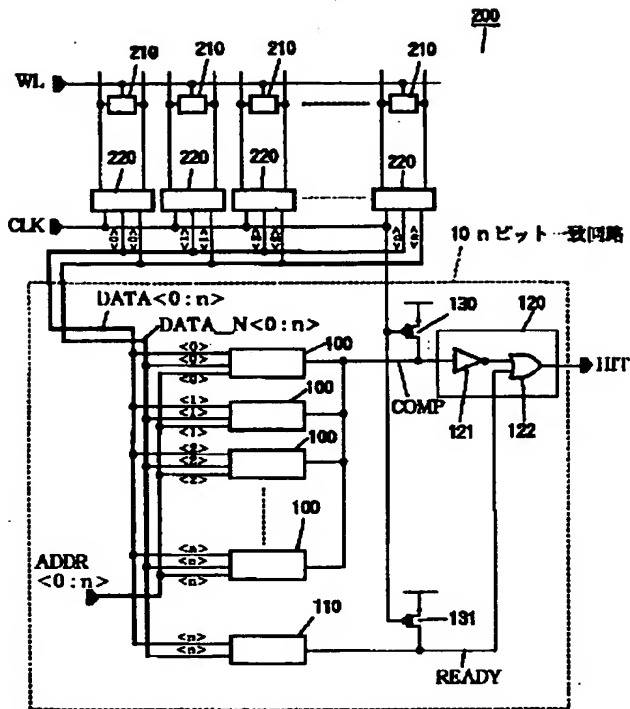
出力制御部 110 の論理回路図

【図5】



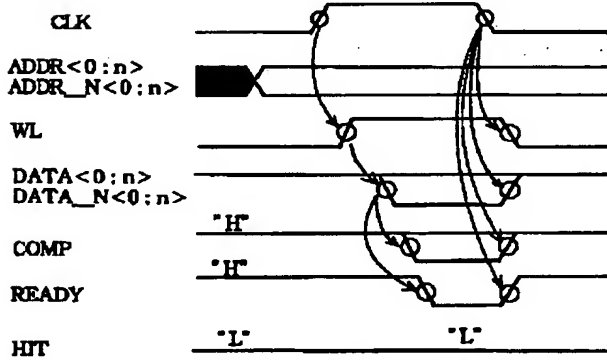
出力制御部 110 の回路構成例

【図 6】



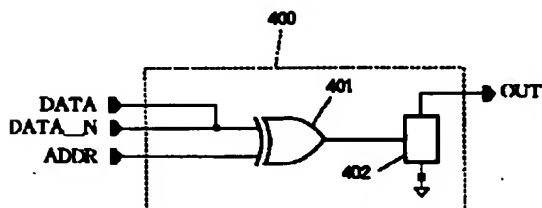
nビット一致回路 10 の動作を具体的に説明するための図

【図 8】



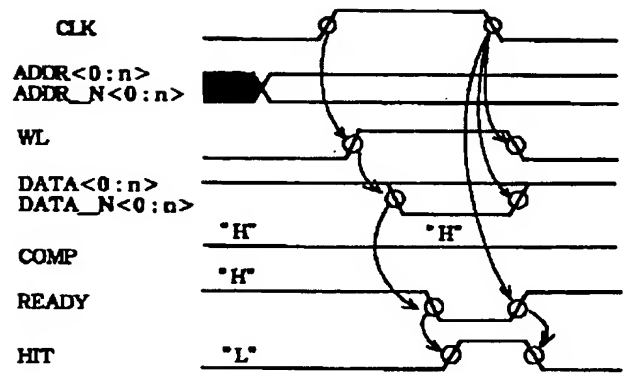
ミス時の各ノードの電位の波形図

【図 15】



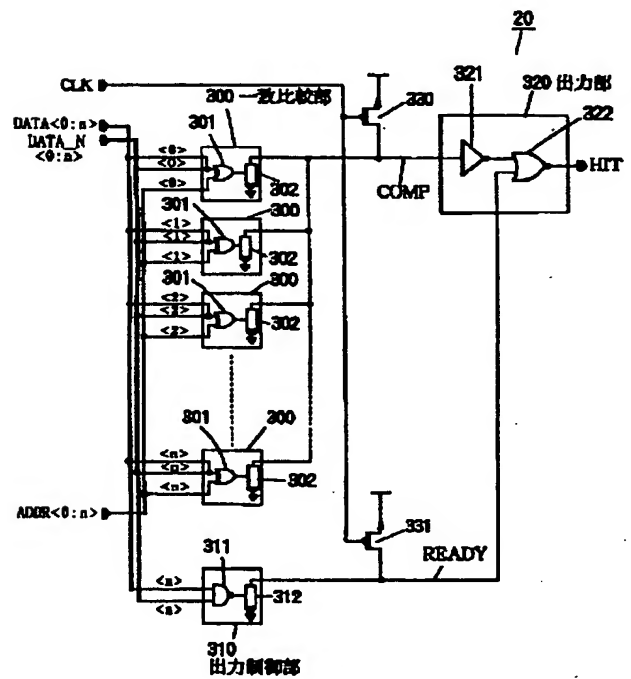
一致比較部 400 の論理回路図

【図 7】



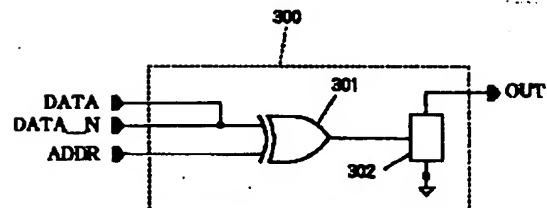
ヒット時の各ノードの電位の波形図

【図 9】



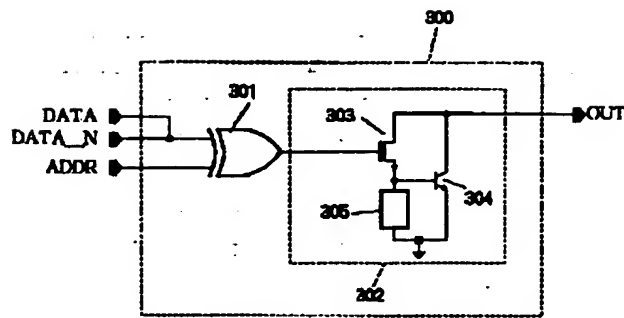
第 2 の実施形態の n 入力ビット一致回路のブロック図

【図 10】



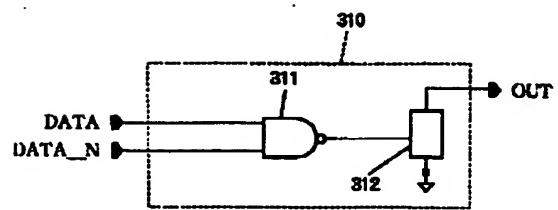
一致比較部 300 の論理回路図

【図11】



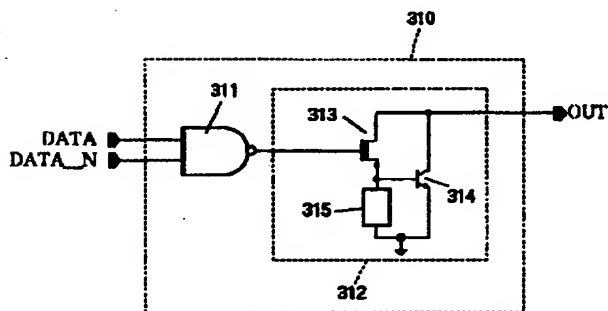
一致比較部 300 の回路構成例

【図12】



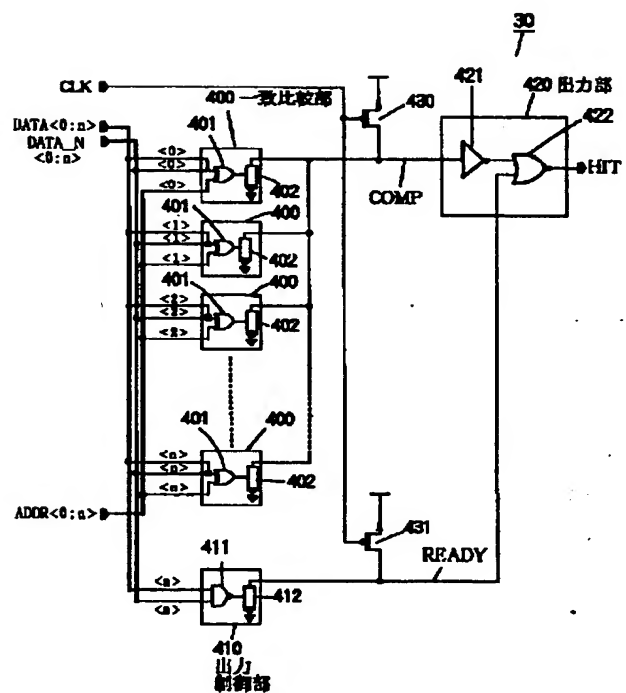
出力制御部 310 の論理回路図

【図13】



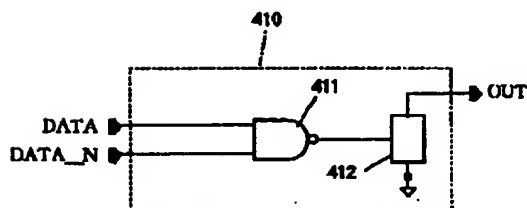
出力制御部 310 の回路構成例

【図14】



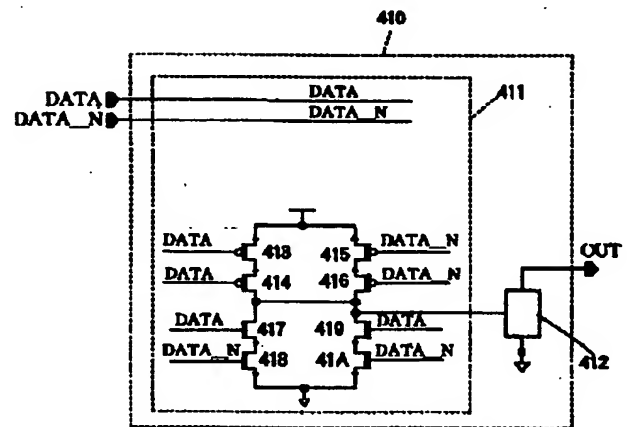
第3の実施形態のn入力ビット一致回路のブロック図

【図17】

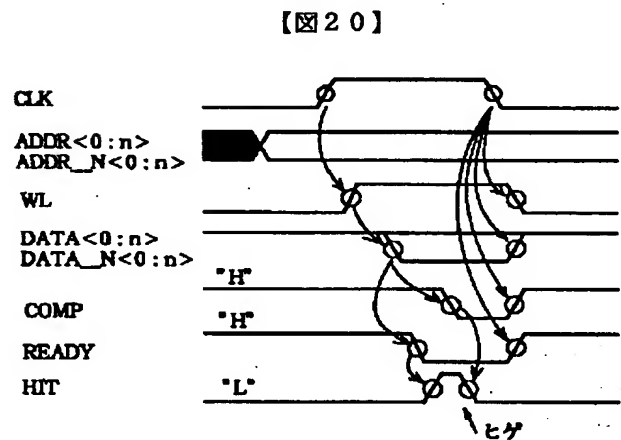


出力制御部 410 の論理回路図

【图 18】

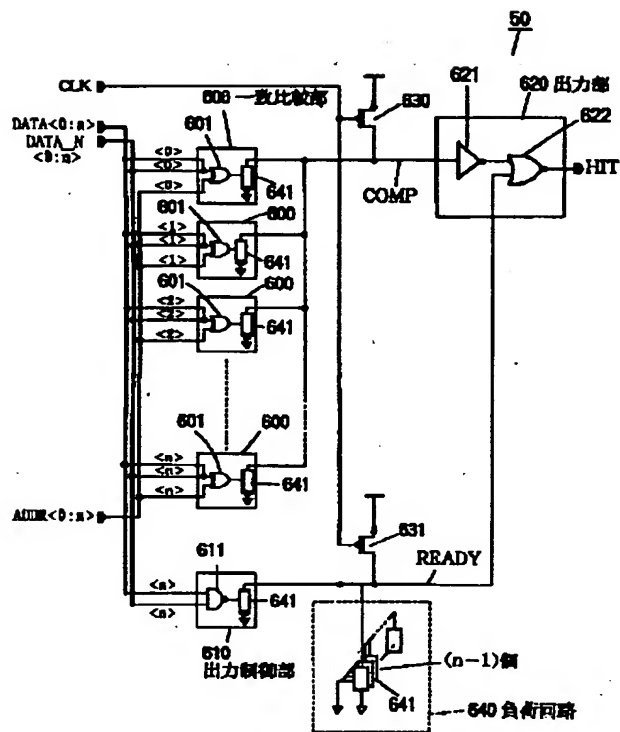


出力制御部 410 の回路構成例



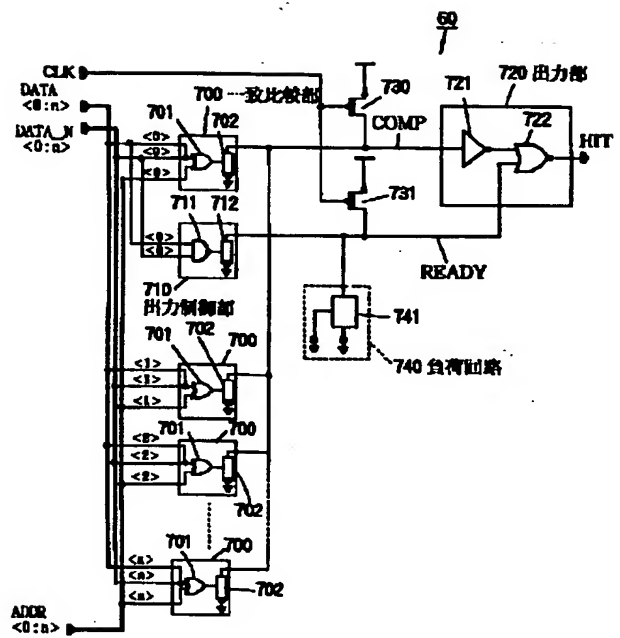
第4の実施形態のn入力ビット一致回路のブロック図

【図 2 1】



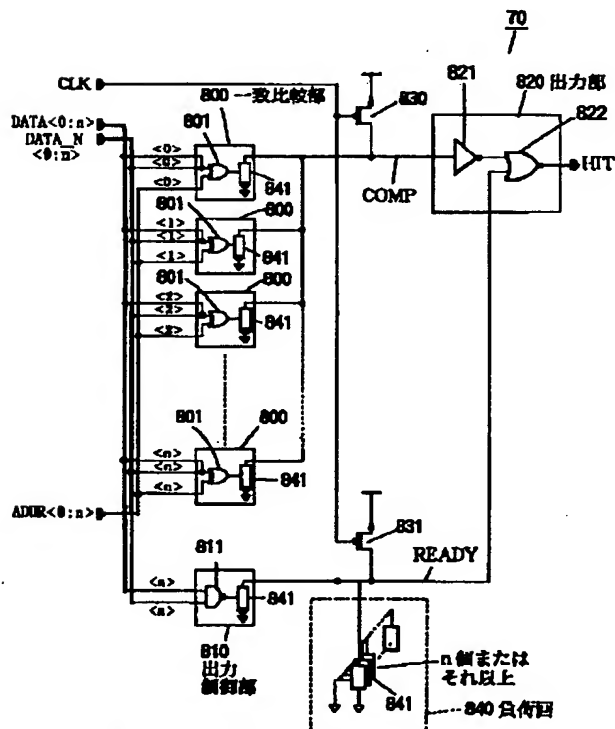
第5の実施形態のn入力ビット一致回路のブロック図

【図 2 2】



第6の実施形態のn入力ビット一致回路のブロック図

【図 2 3】



第7の実施形態のn入力ビット一致回路のブロック図

【図24】

